

Family list**1** family member for: **JP5323373**

Derived from 1 application

1 PRODUCTION OF THIN FILM TRANSISTOR PANEL**Inventor:** HOSHINO ATSUYUKI; SHINODA
TAKASHI; (+1)**EC:****Applicant:** FUJITSU LTD**IPC:** *G02F1/136; G02F1/1368; H01L21/336*
(+11)**Publication info:** **JP5323373 A** - 1993-12-07Data supplied from the **esp@cenet** database - Worldwide

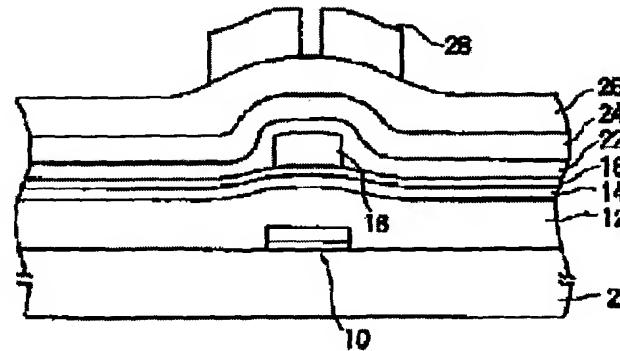
PRODUCTION OF THIN FILM TRANSISTOR PANEL

Patent number: JP5323373
Publication date: 1993-12-07
Inventor: HOSHINO ATSUYUKI; SHINODA TAKASHI; HIROTA SHIRO
Applicant: FUJITSU LTD
Classification:
 - **International:** G02F1/136; G02F1/1368; H01L21/336; H01L27/12; H01L29/78; H01L29/786; G02F1/13; H01L21/02; H01L27/12; H01L29/66; (IPC1-7): G02F1/136; H01L21/336; H01L27/12; H01L29/784
 - **European:**
Application number: JP19920130478 19920522
Priority number(s): JP19920130478 19920522

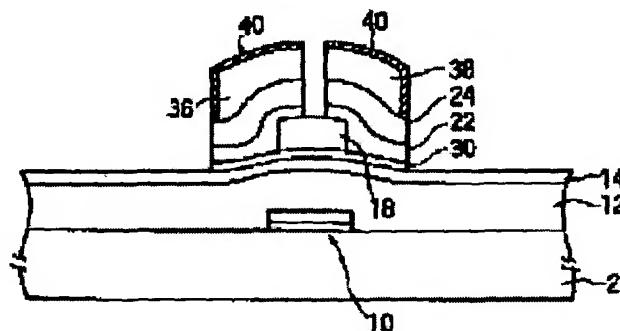
[Report a data error here](#)

Abstract of JP5323373

PURPOSE: To facilitate the use of Al as the material of a source electrode and to produce a thin film transistor panel in simplified processes. **CONSTITUTION:** An n₊ type amorphous Si film 22, a Ti film 24 and an Al film 26 are successively formed, a resist film 28 is further formed and the exposed parts of the films 26, 24, 22 and an amorphous Si film 16 are removed by RIE (reactive ion etching) with the resist film 28 as a mask to form a source electrode 38, a drain (bus line) electrode 36 and an active semiconductor layer 30. An oxidized film 40 is then formed on the surface of the Al film as the electrodes 38, 36 by anodic oxidation, an Si₃N₄ film is formed and the oxidized film 40 on the source electrode 38 is removed to form a connecting part and the electrode 38 is connected to an ITO film for a picture element electrode.



(a)



(b)

(51) Int. Cl.⁵
 G02F 1/136
 H01L 27/12
 21/336

識別記号
 500 9018-2K
 A
 9056-4M
 9056-4M

F I
 H01L 29/78
 311 P
 311 A

審査請求 未請求 請求項の数 5 (全10頁) 最終頁に続く

(21)出願番号 特願平4-130478

(22)出願日 平成4年(1992)5月22日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

星野 淳之

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 信太 隆

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 廣田 四郎

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 北野 好人

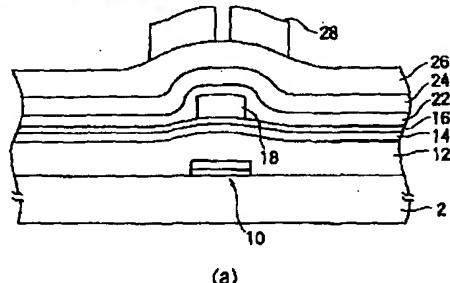
(54)【発明の名称】薄膜トランジスタパネルの製造方法

(57)【要約】

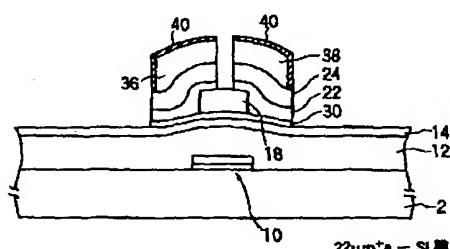
【目的】本発明は、薄膜トランジスタパネルの製造方法に関し、ソース電極の電極材にAlを用いることができ、さらに、製造工程を簡単にさせた薄膜トランジスタパネルの製造方法を提供することを目的とする。

【構成】n⁺a-Si膜22を形成し、続いてTi膜24を形成し、さらにAl膜26を形成する(図3(a))。レジスト膜28をマスクとしてRIEにより、Al膜26、Ti膜24、n⁺a-Si膜22及びa-Si膜16の露出部を除去することにより、ソース電極38、ドレイン(バスライン)電極36及び動作半導体層30を形成する。次に陽極酸化法を用い、ソース電極38、ドレイン(バスライン)電極36のAl膜の表面に酸化被膜40を形成する(図3(b))。次に、Si₃N₄膜を形成した後、ソース電極38の酸化被膜40を除去して接続部を形成し、画素電極用のITO膜と接続するように構成する。

本発明の第1の実施例による薄膜トランジスタパネルの
製造方法を説明する図(その3)



(a)



(b)

22…n⁺a-Si膜
 24…Ti膜
 26…Al膜
 28…レジスト膜
 30…動作半導体層
 36…ドレイン電極
 38…ソース電極
 40…酸化被膜

【特許請求の範囲】

【請求項1】 透明絶縁性基板上にゲートバスライン及び前記ゲートバスラインに接続するゲート電極を形成し、前記透明絶縁性基板上部全面に層間絶縁膜を形成し、前記層間絶縁膜上に動作半導体膜を形成し、前記動作半導体膜上に、前記ゲートバスラインと交差するドレインバスライン及び前記ドレインバスラインに接続するドレイン電極を形成し、同時に前記ゲート電極に対しても前記ドレイン電極と反対側の前記動作半導体膜上にソース電極を形成することにより、前記ゲートバスラインと前記ドレインバスラインの各交差部近傍にマトリックス駆動用の薄膜トランジスタを配設した薄膜トランジスタパネルの製造方法において、前記ソース電極、前記ドレイン電極及び前記ドレインバスラインはAlを含む金属層で形成し、前記ソース電極及び前記ドレイン電極の前記金属層表面に酸化被膜を形成し、前記ソース電極表面の前記酸化被膜を除去して、前記ソース電極と画素電極とを接続させることを特徴とする薄膜トランジスタパネルの製造方法。

【請求項2】 請求項1記載の薄膜トランジスタパネルの製造方法において、前記金属層表面に酸化被膜を形成した後、前記透明絶縁性基板上部全面に保護膜を形成し、前記ソース電極上部の前記保護膜にコンタクトホールを開口して、前記コンタクトホール底部に露出した前記ソース電極表面の前記酸化被膜を除去して画素電極とコンタクトさせることを特徴とする薄膜トランジスタパネルの製造方法。

【請求項3】 請求項1又は2記載の薄膜トランジスタパネルの製造方法において、前記酸化被膜を陽極酸化法により形成することを特徴とする薄膜トランジスタパネルの製造方法。

【請求項4】 透明絶縁性基板上にゲートバスライン及び前記ゲートバスラインに接続するゲート電極を形成し、前記透明絶縁性基板上部全面に層間絶縁膜を形成し、前記層間絶縁膜上に動作半導体膜を形成し、前記動作半導体膜上に、前記ゲートバスラインと交差するドレインバスライン及び前記ドレインバスラインに接続するドレイン電極を形成し、同時に前記ゲート電極に対しても前記ドレイン電極と反対側の前記動作半導体膜上にソース電極を形成することにより、前記ゲートバスラインと前記ドレインバスラインの各交差部近傍にマトリックス駆動用の薄膜トランジスタを配設した薄膜トランジスタパネルの製造方法において、前記ソース電極及び前記ドレイン電極を形成した後、レジストを塗布して画素電極の形成領域に開口を有するレジスト膜をパターニングし、全面に前記画素電極形成用

の透明導電膜を形成し、

前記レジスト膜を除去することにより、不要な前記透明導電膜をリフトオフして前記ソース電極と接続する前記画素電極を形成することを特徴とする薄膜トランジスタパネルの製造方法。

【請求項5】 請求項4記載の薄膜トランジスタパネルの製造方法において、前記ソース電極及び前記ドレイン電極の電極材は、Al又はAl合金、或いはAlを含む二層以上の配線構造であることを特徴とする薄膜トランジスタパネルの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アクティブマトリクス駆動方式の液晶表示パネル等に使用される薄膜トランジスタパネルの製造方法に関する。液晶表示パネル等のアクティブマトリクス型表示パネルの駆動に用いられる薄膜トランジスタパネルには表示画面上の欠陥発生のないものが要求され、また製造プロセスの簡略化が要求されている。

【0002】

【従来の技術】 アクティブマトリクス駆動方式の液晶表示パネルは、ドット表示を行う個々の画素に対応してマトリクス状に薄膜トランジスタ(TFT)を配設させ、この薄膜トランジスタにより各画素にメモリ機能を持たせてコントラストの良好な表示を可能としたものである。このような液晶表示パネルは、例えば多数の補助容量バスライン、ゲートバスライン、ドレインバスラインをそれぞれX及びY方向に配設し、これら各バスラインに駆動電圧を順次印加して、各バスライン交差部に配設した薄膜トランジスタを選択駆動させることにより、所望の画素をドット表示するようにしている。

【0003】

【発明が解決しようとする課題】 この従来の薄膜トランジスタパネルの製造方法においては、ソース電極の電極材に、低抵抗な配線材料であるAlを用いることが困難であるという問題があった。これは、ソース電極及びドレイン電極をAlで形成しても、ソース電極と接続されるITO等の画素電極をパターニングする際に用いるハロゲン系エッチャントにより、ソース電極のAlまでもエッチャングされてしまうからである。ハロゲン系エッチャントには、例えば、 $HCl + HNO_3$ 、 $HCl + FeCl_3$ 、 O_2 又は $HBr + HI$ 或いはこれらに適当な酸化剤や水を加えたりして緩衝液にした溶液がある。

【0004】 また、電極材にAlを用いたソース電極上にITOの画素電極を直接積層した場合においては、フォトリソグラフィ工程で用いるレジスト現像液等の電解質溶液中にソース電極と画素電極が曝されると電池効果により反応を起こしてしまい、ソース電極のAlが溶けてしまったり、画素電極のITO及びソース電極のAlが破壊されたり、剥離したりする等の問題がある。従つ

て、ITOとAlとの積層構造又は同一層での使用は非常に困難であった。

【0005】このため、従来の薄膜トランジスタパネルの製造方法においては、ソース電極の電極材にAlを用いてソース電極と接続するITO等の画素電極をエッチングで形成することはなかった。従って、バスライン、ドレイン電極にもAlを用いることがなかった。また、従来の薄膜トランジスタパネルの製造方法においては、端子形成、画素電極形成、最終保護膜形成の各工程を別々に行っていたため複数のフォトリソグラフィ工程を必要としていた。さらに、形成されるゲート端子の端子材が金属であると、コンタクト抵抗の劣化を抑えることが困難であり薄膜トランジスタパネルの信頼性が低下していた。

【0006】またさらに、従来の薄膜トランジスタパネルの製造方法では、不要なITO膜のリフトオフ工程で残ったITOが点欠陥等の不良を発生させ、薄膜トランジスタパネルの信頼性を低下させる原因となっていた。本発明の目的は、ソース電極の電極材にAlを用いることができ、さらに、製造工程を簡単にさせた薄膜トランジスタパネルの製造方法を提供することにある。

【0007】

【課題を解決するための手段】上記目的は、透明絶縁性基板上にゲートバスライン及び前記ゲートバスラインに接続するゲート電極を形成し、前記透明絶縁性基板上部全面に層間絶縁膜を形成し、前記層間絶縁膜上に動作半導体膜を形成し、前記動作半導体膜上に、前記ゲートバスラインと交差するドレインバスライン及び前記ドレインバスラインに接続するドレイン電極を形成し、同時に前記ゲート電極に対して前記ドレイン電極と反対側の前記動作半導体膜上にソース電極を形成することにより、前記ゲートバスラインと前記ドレインバスラインの各交差部近傍にマトリックス駆動用の薄膜トランジスタを配設した薄膜トランジスタパネルの製造方法において、前記ソース電極、前記ドレイン電極及び前記ドレインバスラインはAlを含む金属層で形成し、前記ソース電極及び前記ドレイン電極の前記金属層表面に酸化被膜を形成し、前記ソース電極表面の前記酸化被膜を除去して、前記ソース電極と画素電極とを接続させることを特徴とする薄膜トランジスタパネルの製造方法によって達成される。

【0008】また上記目的は、透明絶縁性基板上にゲートバスライン及び前記ゲートバスラインに接続するゲート電極を形成し、前記透明絶縁性基板上部全面に層間絶縁膜を形成し、前記層間絶縁膜上に動作半導体膜を形成し、前記動作半導体膜上に、前記ゲートバスラインと交差するドレインバスライン及び前記ドレインバスラインに接続するドレイン電極を形成し、同時に前記ゲート電極に対して前記ドレイン電極と反対側の前記動作半導体膜上にソース電極を形成することにより、前記ゲートバ

10

20

30

40

40

50

スラインと前記ドレインバスラインの各交差部近傍にマトリックス駆動用の薄膜トランジスタを配設した薄膜トランジスタパネルの製造方法において、前記ソース電極及び前記ドレイン電極を形成した後、レジストを塗布して画素電極の形成領域に開口を有するレジスト膜をパターニングし、全面に前記画素電極形成用の透明導電膜を形成し、前記レジスト膜を除去することにより、不要な前記透明導電膜をリフトオフして前記ソース電極と接続する前記画素電極を形成することを特徴とする薄膜トランジスタパネルの製造方法によって達成される。

【0009】

【作用】本発明によれば、Alの表面に酸化被膜を形成することにより画素電極（透明導電膜）のエッチングの際のエッチャントによってAlが浸食されることがなく、また、表面の酸化被膜によりAlが保護されるので電池効果による破壊を生じさせることができないので、ソース電極等の電極材にAlを用いることができる。

【0010】また、本発明によれば、画素電極のパターニングをエッチングではなくリフトオフを用いて行うことによりフォトリソグラフィ工程でのマスクを減少させることができ、さらにソース電極等の電極材及び配線材料にAlを用いた薄膜トランジスタパネルを製造することができるようになる。さらに本発明によれば、端子電極にITO等の酸化物導電体を使用できるため、コンタクト抵抗を安定させた薄膜トランジスタパネルを製造することができる。

【0011】

【実施例】本発明の第1の実施例による薄膜トランジスタパネルの製造方法を図1乃至図5を用いて説明する。本実施例における薄膜トランジスタパネルの製造方法は、ALD (A t o m i c L a y e r D e p o s i t i o n) 法によりゲート絶縁膜としてのアルミナを成膜し、SA (セルフアライメント) プロセスを活用して薄膜トランジスタパネルを製造する方法である。図5に薄膜トランジスタパネルの平面図を示す。図中のA-A線での断面の製造工程図を図1乃至図4に示している。

【0012】まず、ドラム回転方式であり対向ターゲット方式であるマグネットロンスパッタ電極を有し、基板温度を200°Cまで昇温可能なスパッタリング装置を用いて、ガラス基板2上にゲート電極及びゲートバスラインを形成する。スパッタリング装置内にセットしたガラス基板2を基板温度200°Cに加熱してから放置して室温まで冷却した後、回転ドラムを6回転/分で回転させ、圧力約0.001TorrのArガス雰囲気中において、DCスパッタリング法によりAlをスパッタリングし、ガラス基板2上に厚さ約50nmのAl膜4を形成する。続いて、同一装置内で真空を破らずに室温で、回転ドラムを6回転/分で回転させ、圧力約0.001TorrのArガス雰囲気中において、DCスパッタリング法によりCrをスパッタリングし、Al膜4上に厚さ

約80nmのCr膜6を形成する(図1(a))。このAl膜4とCr膜6の二層膜の上に、幅が5μmのゲートパターンを有するレジスト膜8を形成する。このレジスト膜8をマスクとして、RIE(反応性イオンエッチング)によりCCl₄+O₂ガスによりCr膜6をエッチングし、続いてBCl₃+Cl₂ガスによりAl膜4をエッチングする(図1(b))。その後レジスト膜8を除去して、Al膜10aの上層にCr膜10bが形成されたゲート電極10が完成する。

【0013】次に、ALD法を用い、有機アルミニウムとO₂による雰囲気、或いはH₂OをN₂ガスで仕切った雰囲気中において、ガラス基板2上及びゲート電極10上にゲート絶縁膜として厚さ約400nmのAl_xO_y膜12を画素部のみマスクして成膜する。次いで、プラズマCVD法を用い、SiH₄とNH₃の混合ガス雰囲気中でAl_xO_y膜12上に厚さ50nmのSi_xN_y膜14を形成する。次に、SiH₄のガス雰囲気中において、Si_xN_y膜14上に動作半導体層として厚さ約25nmのa-Si(アモルファスシリコン)膜16を形成し、SiH₄とN₂Oの混合ガス雰囲気中において、a-Si膜16上に保護膜として厚さ約140nmのSiO₂膜18を形成する。

【0014】次いで、SiO₂膜18上にレジスト膜20を塗布する。ゲート電極10側の面と反対側のガラス基板2面からレジスト膜20に対して背面露光してSA(セルフアライメント)プロセスを行い、さらにガラス基板2のゲート電極10側から、ゲート電極10上のレジスト膜だけが残り、ゲートバスライン上のレジスト膜が除去されるようなパターンで露光を行い、ゲート電極10上にレジスト膜20を形成する(図2(a))。このレジスト膜20をマスクとし、弗化アンモニウム系のエッチング液によりSiO₂膜18の露出部を選択的にエッチング除去し(図2(b))、続いてレジスト膜20を除去する。

【0015】次にPH₃(ホスフィン)を加えたSiH₄(シラン)の雰囲気中において、プラズマCVD法により厚さ約50nmのn⁺a-Si膜22を形成し、続いて厚さ約100nmのTi膜24を真空蒸着法にて形成し、さらに厚さ約200nmのAl膜26を真空蒸着法にて形成する。次いで、全面にレジストを塗布してパターニングし、ソース電極とドレイン(バスライン)電極形成用のレジスト膜28を形成する(図3(a))。

【0016】レジスト膜28をマスクとしてBCl₃+Cl₂混合ガス雰囲気中においてRIEにより、Al膜26、Ti膜24、n⁺a-Si膜22及びa-Si膜16の露出部を除去することにより素子分離を行ない、ソース電極38、ドレイン(バスライン)電極36及び動作半導体層30を形成する。本工程を実施した後も、ゲート絶縁膜のAl_xO_y膜12は画素部に、Si_xN_y膜14は全面に残っている。次に陽極酸化法を用い、

10

20

30

40

50

ソース電極38、ドレイン(バスライン)電極36のAl膜の表面に酸化被膜40を形成する(図3(b))。【0017】次に、保護膜となるSi_xN_y膜42を形成した後、HF系の酸溶液によるウエットプロセス、CDE(ケミカルドライエッチング)、RIEによるドライプロセスにより、ソース電極38上のSi_xN_y膜42を開口し、開口部に露出したソース電極38の酸化被膜40を除去してコンタクト部を形成する。さらに、ゲート絶縁膜を同様にエッチングしてもよい。

【0018】次に、画素電極用のITO膜44を形成し、画素電極形成用のレジスト膜46をマスクとしてハロゲン系エッチャントを用いてITO膜44をエッチングする(図4(a))。レジスト膜46を除去して薄膜トランジスタパネルが完成する(図4(b))。このように本実施例によれば、ゲート電極形成時にAlの上層部にCrを配置した二層配線構造とすることによりアルミナや絶縁膜をエッチングする際に用いるHF系エッチャントでエッチングされない端子構造が得られるため、端子形成も同時に可能となる。

【0019】また、本実施例によれば、高精細パネル等の高密度化で必要とされる低抵抗なAl電極配線の使用が可能となり、画素電極とドレイン(バス)電極との間の短絡による点欠陥やそれらを介しての線欠陥を防止することができ、TFTの高性能・高信頼性を実現することができる。本発明の第2の実施例による薄膜トランジスタパネルの製造方法を図5乃至図11を用いて説明する。

【0020】本実施例における薄膜トランジスタパネルの製造方法は、ALDにより成膜したアルミナをゲート絶縁膜として用い、SA(セルフアライメント)プロセスを用いて薄膜トランジスタパネルを製造する方法である。図5に薄膜トランジスタパネルの平面図を示す。図中のA-A線での断面の製造工程図を図6乃至図10に示している。図11は薄膜トランジスタパネルのゲート端子部での断面を示す図である。

【0021】まず、ドラム回転方式であり対向ターゲット方式であるマグネットロンスパッタ電極を有し、基板温度を200℃まで昇温可能なスパッタリング装置を用いて、ガラス基板2上にゲート電極及びゲートバスラインを形成する。スパッタリング装置内にセットしたガラス基板2を基板温度200℃に加熱してから放置して室温まで冷却した後、回転ドラムを6回転/分で回転させ、圧力約0.001TorrのArガス雰囲気中において、DCスパッタリング法によりAlをスパッタリングし、ガラス基板2上に厚さ約50nmのAl膜4を形成する。続いて、同一装置内で真空を破らずに室温で回転ドラムを6回転/分で回転させ、圧力約0.001TorrのArガス雰囲気中において、DCスパッタリング法によりCrをスパッタリングし、Al膜4上に厚さ約80nmのCr膜6を形成する(図6(a))。このA

1膜4とCr膜6の二層膜の上に、幅が5μmのゲートパターンを有するレジスト膜8を形成する。このレジスト膜をマスクとして、RIE(反応性イオンエッチング)によりCCl₄+O₂ガスによりCr膜6をエッチングし、続いてBCl₃+Cl₂ガスによってA1膜4をエッチングする(図6(b))。その後レジスト膜8を除去して、A1膜10aの上層にCr膜10bが形成されたゲート電極10が完成する。

【0022】次に、ALD法を用い、有機アルミニウムとO₂による雰囲気、或いはH₂OをN₂ガスで仕切った雰囲気中において、ガラス基板2上及びゲート電極10上にゲート絶縁膜として厚さ約400nmのA1_xO_y膜12を画素部のみマスクして成膜する。次いで、プラズマCVD法を用い、SiH₄とNH₃の混合ガス雰囲気中でA1_xO_y膜12上に厚さ50nmのSi_xN_y膜14を形成する。次に、SiH₄のガス雰囲気中においてSi_xN_y膜14上に動作半導体層として厚さ約25nmのa-Si膜16を形成し、SiH₄とN₂Oの混合ガス雰囲気中においてa-Si膜16上に保護膜として厚さ約140nmのSiO₂膜18を形成する。

【0023】次いで、SiO₂膜18上にレジスト膜20を塗布する。ゲート電極10側の面と反対側のガラス基板2面からレジスト膜20に対して背面露光してSA(セルフアライメント)プロセスを行い、さらにガラス基板2のゲート電極10側から、ゲート電極10上のレジスト膜だけが残り、ゲートバスライン上のレジスト膜が除去されるようなパターンで露光を行い、ゲート電極10上にレジスト膜20を形成する(図7(a))。このレジスト膜20をマスクとし、弗化アンモニウム系のエッチング液によりSiO₂膜18の露出部を選択的にエッチング除去する。このレジスト膜20を残したまま、PH₃を加えたSiH₄の雰囲気中において、プラズマCVD法により、厚さ約50nmのn⁺a-Si膜22を形成し、続いて厚さ約100nmのTi膜24を真空蒸着法にて形成する(図7(b))。

【0024】次にアセトンでレジスト膜20を溶解して、ゲート電極10上部のn⁺a-Si膜22とTi膜24をリフトオフする(図8(a))。次いで、ソース電極とドレイン電極形成用のレジスト膜48を形成し、レジスト膜48をマスクとしてCCl₄(95%)+O₂(5%)混合ガス雰囲気中においてRIEを行い(図8(b))、Ti膜24、n⁺a-Si膜22及びa-Si膜16の露出部を除去することにより素子分離を行い、ソース電極38、ドレイン電極36、及び動作半導体層30を形成する(図9(a))。本工程を実施した後も、ゲート絶縁膜であるA1_xO_y膜12は画素部に、Si_xN_y膜14は全面に残っている。

【0025】次いで、ドレイン電極と接続する、例えばA1膜とTi膜とを積層して厚さ約500nmのドレンバスライン50を形成した後、保護膜としてのSi_xN_y膜14を全面に成膜する。次に、ソース電極38と接続する画素電極を形成するために、レジストを全面に塗布してパターニングしてレジスト膜52を形成する(図9(b))。レジスト膜52をマスクとしてCDEにより、ソース電極38上及びその側部のSi_xN_y膜14、14をエッチング除去する。次に、スパッタリング法により画素電極を形成するためのITO膜44を全面に形成する(図10(a))。

10

【0026】次に、レジスト膜52を除去して不要なITO膜44をリフトオフし、薄膜トランジスタパネルが完成する(図10(b))。また、図11に示すように薄膜トランジスタパネルのゲート端子部においても、レジスト膜52を用いてゲート端子54上部のA1_xO_y膜12及びSi_xN_y膜14をエッチングにより除去し、次にITO膜44を全面に形成した後、レジスト膜52を除去して不要なITO膜44を除去することにより、ゲート端子54上にITO膜44を形成させることができる。なお、ITO膜44下のゲート端子54はゲート電極10と同時に形成され、A1膜の上層にCr膜が形成されている構造である。

20

【0027】このように本実施例によれば、画素電極形成時に、端子形成で必要な層間絶縁膜および最終保護絶縁膜のエッチングを一回のフォトリソグラフィ工程で行うことにより大幅なプロセスの簡略化が実現できるとともに、ゲート端子をITO等の酸化物にすることでコンタクト抵抗等の信頼性を向上させることができ、また、高精細パネルで必要とされるA1電極配線の使用も可能となる。

30

【0028】本実施例においても、ゲート電極をA1の上層部にCrを配置した二層配線構造とすることにより、アルミナをエッチングする際に用いるHF+HNO₃でエッチングされないゲート端子構造を得ることができ、従ってアルミナを全面に成膜することができる。また、リフトオフに用いるレジスト膜の下地(Si_xN_y膜42)がサイドエッチングによりアンダーカットされるので(図10(a)参照)リフトオフが容易になる。

40

【0029】本発明は、上記実施例に限らず種々の変形が可能である。例えば、上記実施例では動作半導体層にa-Si(アモルファスシリコン)膜を用いたが、多結晶シリコン膜、CdSe膜その他の半導体膜を用いてもよい。また、Si_xN_y膜14を用いず、ゲート絶縁膜のA1_xO_y膜12上にa-Si膜を成膜したり、或いはチャネル保護膜にSi_xN_y膜を用いてもよい。

50

【0030】
【発明の効果】以上の通り、本発明によれば、画素電極形成時に問題となったITOとA1との電池効果やITOのエッチャントによるA1の浸食といった不良をなくすことができる。さらに、ソース(バスラインを含む)電極と画素電極の間に異物があるような場合に生じる短絡を原因とした点欠陥や線欠陥を防止し、また従来使用

が困難であった A 1 配線の使用を可能とすることにより高性能かつ高信頼性であり、製造歩留りを向上させた薄膜トランジスタパネルを提供することができる。

【0031】また、本発明によれば、画素電極形成用のフォトリソグラフィ工程で形成したレジストパターンを用いてゲート端子形成の絶縁膜エッチングが可能であり、かつリフトオフが容易となるためマスクを減少させてプロセスの簡略化を図ることができ、また、ITO膜をエッチングしないため、ソース電極等に A 1 配線を使用することができ、さらにゲート端子電極を ITO 膜に 10 することができるためコンタクトの信頼性および製造歩留まりを向上させることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例による薄膜トランジスタパネルの製造方法を説明する図（その 1）である。

【図 2】本発明の第 1 の実施例による薄膜トランジスタパネルの製造方法を説明する図（その 2）である。

【図 3】本発明の第 1 の実施例による薄膜トランジスタパネルの製造方法を説明する図（その 3）である。

【図 4】本発明の第 1 の実施例による薄膜トランジスタ 20 パネルの製造方法を説明する図（その 4）である。

【図 5】薄膜トランジスタパネルの平面図である。

【図 6】本発明の第 2 の実施例による薄膜トランジスタパネルの製造方法を説明する図（その 1）である。

【図 7】本発明の第 2 の実施例による薄膜トランジスタ 20 パネルの製造方法を説明する図（その 2）である。

【図 8】本発明の第 2 の実施例による薄膜トランジスタパネルの製造方法を説明する図（その 3）である。

【図 9】本発明の第 2 の実施例による薄膜トランジスタ 30 パネルの製造方法を説明する図（その 4）である。

【図 10】本発明の第 2 の実施例による薄膜トランジス

タパネルの製造方法を説明する図（その 5）である。

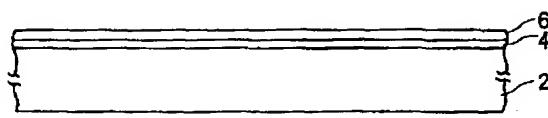
【図 11】本発明の第 2 の実施例による薄膜トランジスタパネルの製造方法を説明する図（その 6）である。

【符号の説明】

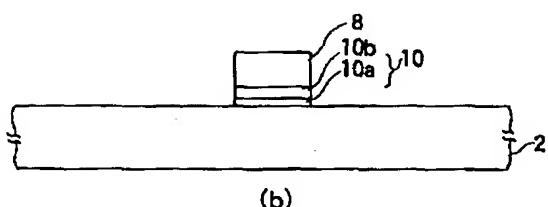
2	…ガラス基板
4	…A 1 膜
6	…Cr 膜
8	…レジスト膜
10	…ゲート電極
10 a	…A 1 膜
10 b	…Cr 膜
12	…A 1, O ₂ 膜
14	…Si, N ₂ 膜
16	…a-Si 膜
18	…SiO ₂ 膜
20	…レジスト膜
22	…n ⁺ a-Si 膜
24	…Ti 膜
26	…A 1 膜
28	…レジスト膜
30	…動作半導体層
36	…ドレイン電極
38	…ソース電極
40	…酸化被膜
42	…Si, N ₂ 膜
44	…ITO 膜
46	…レジスト膜
48	…レジスト膜
50	…ドレインバスライン
52	…レジスト膜
54	…ゲート端子

【図 1】

本発明の第1の実施例による薄膜トランジスタパネルの
製造方法を説明する図(その1)



(a)

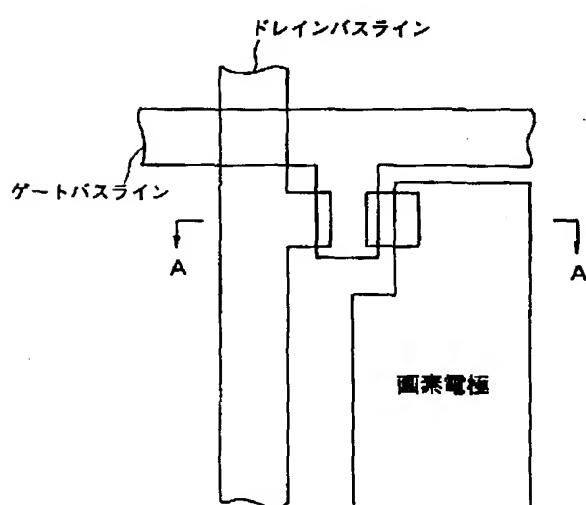


(b)

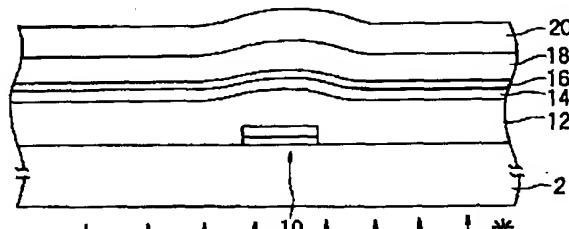
2…ガラス基板
4…Al膜
6…Cr膜
8…レジスト膜
10…ゲート電極
10a…Al膜
10b…Cr膜

【図 5】

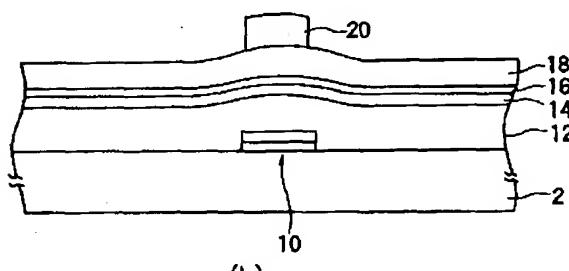
薄膜トランジスタパネルの平面図



本発明の第1の実施例による薄膜トランジスタパネルの
製造方法を説明する図(その2)



(a)

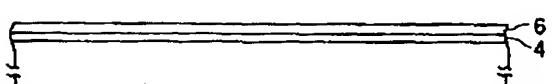


(b)

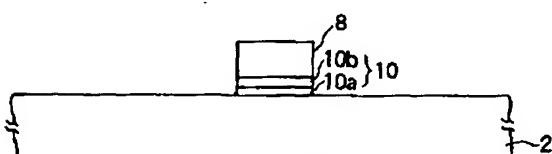
12…Al₂O₃膜
14…SiN膜
16…a-Si膜
18…SiO₂膜
20…レジスト膜

【図 6】

本発明の第2の実施例による薄膜トランジスタパネルの
製造方法を説明する図(その1)



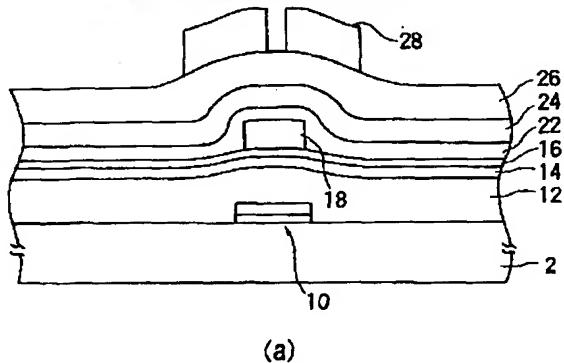
(a)



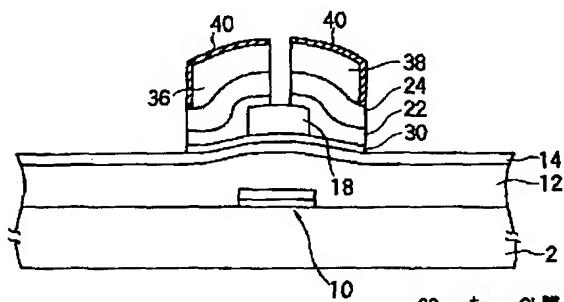
(b)

【図 3】

本発明の第1の実施例による薄膜トランジスタパネルの
製造方法を説明する図(その3)



(a)

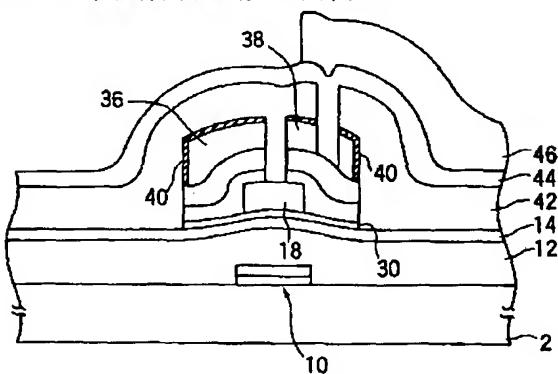


(b)

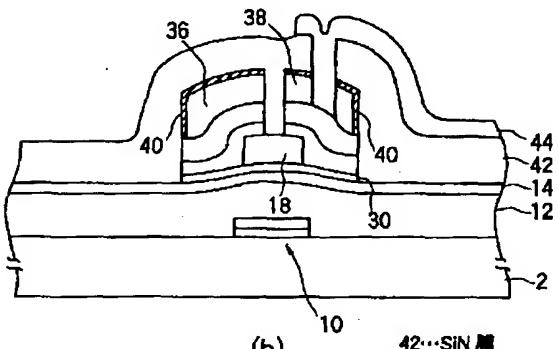
22···n⁺a-Si膜
24···Ti膜
26···Al膜
28···Resist膜
30···動作半導体層
36···ドレイン電極
38···ソース電極
40···酸化被膜

【図 4】

本発明の第1の実施例による薄膜トランジスタパネルの
製造方法を説明する図(その4)



(a)

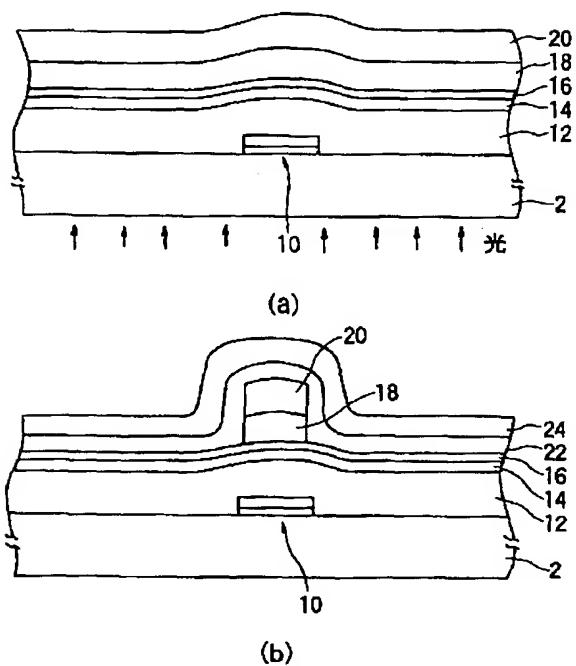


(b)

42···SIN膜
44···ITO膜
46···Resist膜

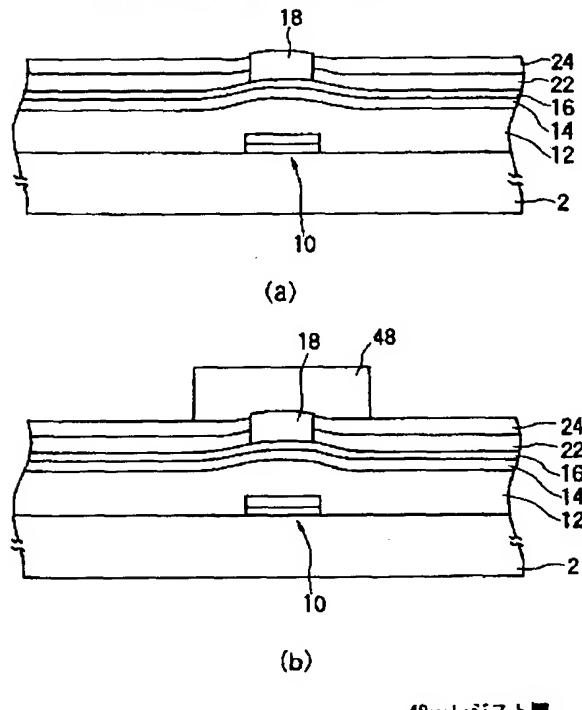
【図7】

本発明の第2の実施例による薄膜トランジスタパネルの
製造方法を説明する図(その2)



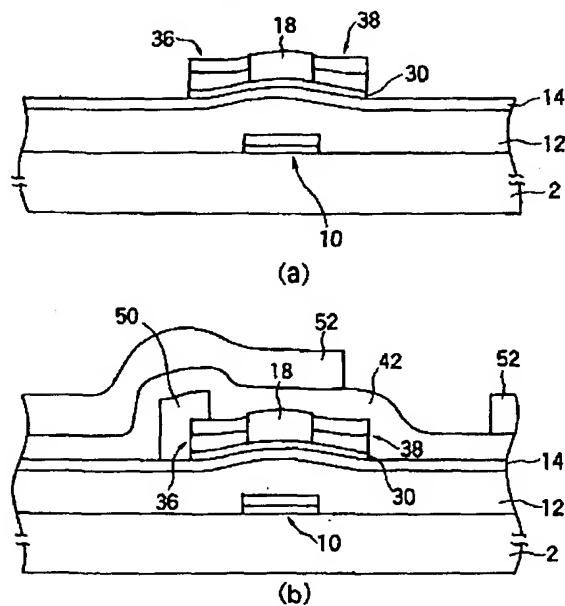
【図8】

本発明の第2の実施例による薄膜トランジスタパネルの
製造方法を説明する図(その3)



【図9】

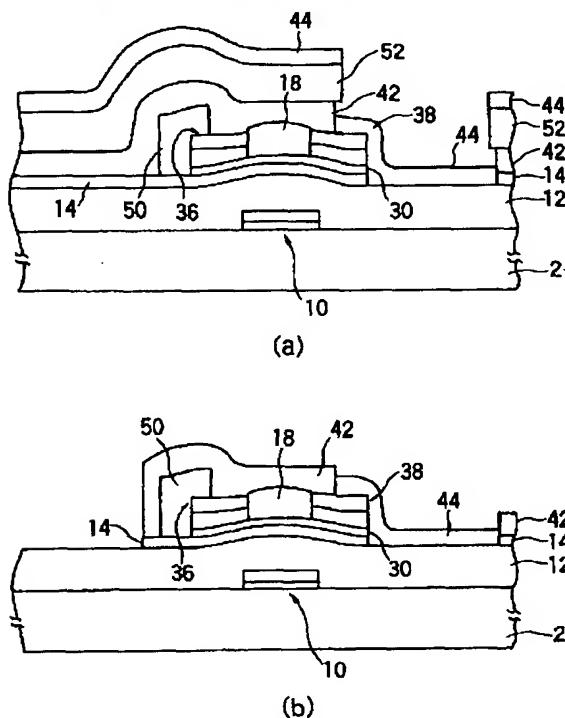
本発明の第2の実施例による薄膜トランジスタパネルの
製造方法を説明する図(その4)



50…ドレインバスライン
52…レジスト膜

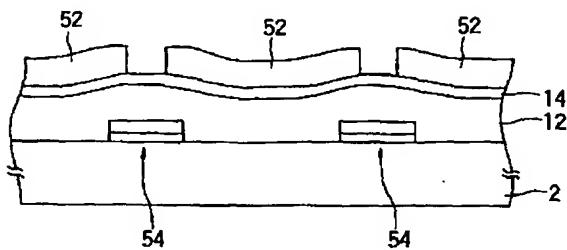
【図10】

本発明の第2の実施例による薄膜トランジスタパネルの
製造方法を説明する図(その5)

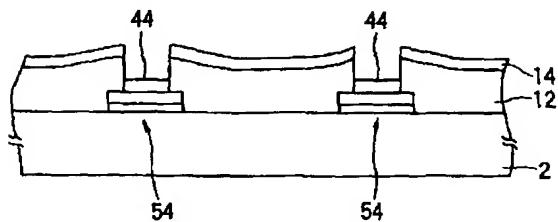


【図 1 1】

本発明の第 2 の実施例による薄膜トランジスタバネルの
製造方法を説明する図(その 6)



(a)



(b)

54…ゲート端子

フロントページの続き

(51) Int. Cl. 5

H 01 L 29/784

識別記号

府内整理番号

F I

技術表示箇所